

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-303067

(43)Date of publication of application : 06.12.1989

(51)Int.Cl.

H02M 7/48

(21)Application number : 63-131550

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 31.05.1988

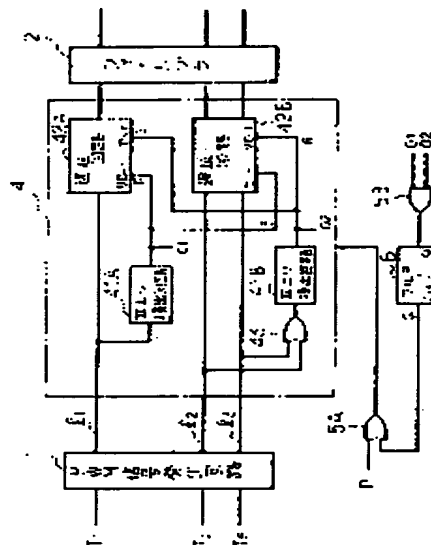
(72)Inventor : TAKIZAWA AKITAKE
MIKI HIROSHI

(54) CONTROL CIRCUIT FOR PWM INVERTER

(57)Abstract:

PURPOSE: To decrease the maximum current value of a snubber circuit, by detecting the rise of the ON signal of a transistor to be turned ON first out of three transistors at their OFF time and by delaying ON signals with other phases.

CONSTITUTION: A control circuit for PWM inverter is constituted by addition of a turn-ON control circuit 4 between PWM signal generator circuit 1 and photocoupler 2. The control circuit 4 is composed of rise detector circuits 41A to 41B, delay circuits 42A to 42B and OR-gate 43, and furnished with a multivibrator 6 and others. Also, a voltage polarity discriminant signal P to be given to OR-gate 5A is formed by voltage polarity detector circuit and AND gate at both ends of a diode. Then, the ON signal of a transistor to be turned ON first out of three transistors being turned OFF is detected and ON signals with other phases are delayed 42. Thus, the three transistors are turned ON with a certain time difference so that the maximum current value can be controlled.



⑫ 公開特許公報(A) 平1-303067

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)12月6日

H 02 M 7/48

M-8730-5H

F-8730-5H

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 PWMインバータの制御回路

⑮ 特 願 昭63-131550

⑯ 出 願 昭63(1988)5月31日

⑰ 発 明 者 滝 沢 聡 毅 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰ 発 明 者 三 木 広 志 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑰ 代 理 人 弁理士 並 木 昭 夫 外1名

明 細 書

1. 発明の名称

PWMインバータの制御回路

2. 特許請求の範囲

自己消弧形半導体素子を用いた電圧形パルス幅変調(PWM)インバータの制御部に、

現在通電中の3つの環流用ダイオードと斜め方向にそれぞれ対向する各アームの自己消弧形半導体素子のオン信号の立上りを検出する検出回路と、

該検出回路出力にもとづき自己消弧形半導体素子の1つまたは2つのオン信号を遅延させる遅延回路と、

を設け、前記3つの自己消弧形半導体素子を同時にオンさせないことを特徴とするPWMインバータの制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、トランジスタの如き自己消弧可能なスイッチング素子(自己消弧素子)をもつ電圧形パルス幅変調(PWM)インバータの制御回路

に関する。

〔従来の技術〕

第4図に電圧形トランジスタインバータの例を示す。このような電圧形インバータに変調回路を組み合わせて、直流電力を交流電力に変換する電圧形PWMインバータが構成される。このため、同図に示す6つのトランジスタ $T_1 \sim T_6$ は、PWM信号によりオン、オフ動作を行う。ここで、例えば3つのダイオード D_2, D_3, D_4 が導通(オン)しているものとする、その電流経路は同図に破線で示す如くなる。なお、3つのダイオードが導通する組み合わせとしては上記の外に、

(D_1, D_2, D_6), (D_1, D_3, D_5),
(D_1, D_5, D_6), (D_2, D_4, D_6),
(D_3, D_4, D_5)

の組み合わせがある。

第5図に変調回路の従来例を示す。すなわち、個々のスイッチングトランジスタはPWM信号発生回路1、信号を絶縁するためのフォトコプラ2およびベースドライブ回路3を介して駆動される。

しかし、このような回路では例えばトランジスタ T_1 , T_5 , T_6 に第 6 図で示すタイミング（オン信号の立上りが同じ）で信号が入力すると、トランジスタ T_1 , T_5 , T_6 は同時にオンすることになる。

ところで、自己消弧形半導体素子を用いた電圧形インバータの主回路には、配線等による浮遊インダクタンス（第 4 図の L_S 参照）が存在する。そのため、トランジスタのスイッチング時には、その電流立上り $\left(\frac{di}{dt}\right)$ により L_S の両端に電圧が生じる。そして、それが直流電圧に重畳するためトランジスタのコレクタ-エミッタ（C-E）間に高い電圧がかかる。このスイッチング時に生じるハネ上り電圧を抑制するのがスナバ回路（第 4 図 SB 参照）である。このスナバ回路の設計は、この回路に流れる最大電流値を考える必要がある。なぜならば、このときが C-E 間の印加電圧が最も高くなるからである。

ここで、スナバ回路の電流が最大となりうる場

合として、次の 2 つがある。

- a) 3 つのトランジスタが通電状態で、かつ 1 つのトランジスタは最大負荷電流を流しているとき、通電中の 3 つのトランジスタが同時にオフするとき。
- b) 3 つのダイオードが通電状態で、かつ 1 つのダイオードは最大負荷電流を流しているとき、通電中の 3 つのダイオードと斜め方向に対向するアームのトランジスタが同時にオンするとき。なお、ここではスナバ電流が十分に減衰する時間 $t[8]$ 内に 2 つ以上の素子がオンするとき、同時とみなす。

いずれの場合が最大になるかは、素子の特性によつて一概には決まらないが、いずれにしても従来は a) 又は b) を考慮の上でスナバ回路の設計を行う必要がある。なお、a) の場合については既に検討済みなので、ここでは b) について考える。

第 7 図に、1 つのトランジスタ (T_1) がターンオンしたときのコレクタ電流波形（同図 (イ) 参

— 3 —

照），対向アームのトランジスタ (T_4) の C-E 間電圧波形（同図 (ロ) 参照）およびスナバ電流波形（同図 (ハ) 参照）をそれぞれ示す。このときの図中の諸値を以下に列記する。但し、ターンオン直前にダイオード (D_4) に流れている電流を I_L (A) とする。

$$I_{C(\text{peak})} = I_L + I_{RD4(\text{peak})} \quad \cdots \cdots ①$$

$$I_{S(\text{peak})} = I_{RD4(\text{peak})} \quad \cdots \cdots ②$$

$$V_{CEON1} = V_{CS} + V_{DS(ON)} + V_L - V_{CE}(T_1) \quad \cdots \cdots ③$$

$$V_{CEON2} = E_d + I_{S(\text{peak})} \cdot \sqrt{\frac{L_S}{C_S}} \quad \cdots \cdots ④$$

V_{CS} : スナバコンデンサ電圧

V_{DS} : スナバダイオードの過渡オン電圧

V_L : スナバ回路内のインダクタンスに生じる電圧

そのインダクタンスを L (H) とすれば

$$V_L = L \cdot \frac{di}{dt} = L \cdot \frac{I_{S(\text{peak})}}{t_1}$$

となる。

E_d : 直流中間電圧

L_S : 直流中間コンデンサとトランジスタ間の配線インダクタンス

C : スナバコンデンサ容量

$I_{RD4(\text{peak})}$: ダイオード (D_4) の逆回復電流のピーク値

$I_{S(\text{peak})}$: スナバコンデンサに流れる電流のピーク値

次に、第 4 図の動作モード (D_4 には I_L (A) が流れている) で、トランジスタ (T_1 , T_5 , T_6) が同時にオンしたときのトランジスタ T_1 のコレクタ電流波形、トランジスタ T_4 の C-E 間電圧波形およびスナバ電流波形をそれぞれ第 8 図 (イ), (ロ), (ハ) に示し、図中の諸値を以下に示す。

$$I_{C(\text{peak})} = I_L + I_{RD4(\text{peak})} \quad \cdots \cdots ⑤$$

$$I_{S(\text{peak})} = I_{RD4(\text{peak})} + I_{RD2(\text{peak})} + I_{RD3(\text{peak})} \quad \cdots \cdots ⑥$$

$$V_{CEON1} = V_{CS} + V_{DS(ON)} + L \frac{I_{S(\text{peak})}}{t_1} - V_{CE}(T_1) \quad \cdots \cdots ⑦$$

$$V_{CEON2} = E_d + I_{S(\text{peak})} \cdot \sqrt{\frac{L_S}{C_S}} \quad \cdots \cdots ⑧$$

— 6 —

〔発明が解決しようとする課題〕

上式からもわかるように、3つのトランジスタが同時にターンオンすると、電流値、電圧値ともに1つのトランジスタがターンオンしたときに比べて大きくなる。そして、インバータに組込むトランジスタ及びスナバ回路は、従来はこれら③～⑥式をもとに決める必要があつた。そのため、大容量のものほど体積、コストの両面でそれらの占める割合が大きく、スタックの大形化、コストアップの一因となつていた。

したがつて、この発明は自己消弧形半導体素子のターンオン時にスナバ回路に流れる電流の最大値を抑制することにより、自己消弧形半導体素子とスナバ回路の少なくとも一方の小形化を実現し、全体として小形で安価な制御回路を提供することを目的とする。

〔課題を解決するための手段〕

自己消弧形半導体素子を用いた電圧形インバータに対し、現在通電中の3つの環流用ダイオードと斜め方向にそれぞれ対向する各アームの自己消

- 7 -

発明は第5図に示すPWM信号発生回路1とフォトカプラ2との間に、第1図の如きターンオン制御回路を付加して構成される。

第1図において、41A、41Bは立上り検出回路、42A、42Bは遅延回路、43、5A、5Bはオアゲート、6はマルチバイブレータ、 $\ell_1 \sim \ell_3$ は制御信号線である。なお、この回路は第4図のトランジスタ T_1 、 T_5 、 T_6 （ダイオード D_2 、 D_3 、 D_4 ）の組に対応するもので、実際には他の5組についてもこれと同様の回路が必要になる。また、オアゲート5Aに与えられるPは電圧極性判別信号で、第2図の如くダイオードのアノード・カソード間の電圧極性を検出する検出回路11A、11B、11Cと、その出力の論理積をとるアンドゲート12とからなる回路の出力を示し、これにより3つのダイオード（こゝでは D_2 、 D_3 、 D_4 ）が通電状態か否かを検出するようにしている。なお、このアンドゲート12のアクティブな出力信号をもつて、ターンオン制御回路4のセットを行なう（回路を準備状態とする）。

- 9 -

弧形半導体素子のオン信号の立上りを検出する検出回路と、該検出回路出力にもとづき自己消弧形半導体素子の1つまたは2つのオン信号を遅延させる遅延回路とを設け、前記3つの自己消弧形半導体素子を同時にはオンさせないようにする。

〔作用〕

インバータの制御部により現在オフしている3つのトランジスタの中で一番最初にオンするトランジスタのオン信号の立上りを検出し、他の相のトランジスタのオン信号を遅延させることにより、スナバ回路に流れる最大電流値を減少させる。こうすることによつて、3つのトランジスタは決してほぼ同時にはオンしなくなり、トランジスタターンオン時のスナバ回路に流れる最大電流値を、1つのトランジスタがターンオンしたときの最大電流値と略等しくしようとするものである。

〔実施例〕

第1図はこの発明の実施例を示す回路図で、第1A図の如く示される変調回路のターンオン制御回路4の具体例を示すものである。つまり、この

- 8 -

以下、ターンオン制御回路4が信号Pによつてセット状態にある場合の動作について説明する。

いま、制御信号線 ℓ_1 に最初にオン信号が入力すると、その立上りにより検出回路41Aが動作し、その出力により遅延回路42Aがリセットされて制御信号線 ℓ_1 上のオン信号は素通りする一方、遅延回路42Bはセットされて遅延回路として動作し、制御信号線 ℓ_2 または ℓ_3 もしくはその双方にオン信号が入力した場合に、そのオン信号が遅延されて出力される。同様に、制御信号線 ℓ_2 または ℓ_3 に最初にオン信号が入力したときは回路42Bがリセットされ、回路42Aがセットされる。

また、マルチバイブレータ6は回路41Aまたは41Bの出力O1、O2をトリガとして時間tのバース幅をもつ信号Qを出力する。この信号Qと信号Pはオアゲート5Aにより論理和がとられるので、制御信号線 ℓ_1 、 ℓ_2 、 ℓ_3 上の一番最初のオン信号の立上り時点よりt[s]後に、回路4はセット状態からリセット状態へと移行する（全

- 10 -

てのオン信号が素通りの状態となる)。

その結果、第3図の如きタイミングでオン信号が与えられると、従来は3つの素子が同時にオンとなつてスナバコンデンサの電流波形は第3図(イ)のWの如くなるのに対し、この発明では第3図(ロ)の W_1 、 W_2 の如く波高値は従来の半分になり、これにより電流責務が軽減されることになる。

なお、こゝでは、

1) トランジスタ T_5 または T_6 に最初にオン信号が入力したときは、トランジスタ T_1 のオン信号を1[秒]だけ遅延させる。

2) トランジスタ T_1 が最初のときは、トランジスタ T_5 、 T_6 のオン信号を1[S]だけ遅延させる。

ようにしているが、これは単なる一例に過ぎず、種々の変形が考えられる。また、以上ではスイッチング素子がトランジスタの場合について説明したが、この発明は自己消弧形素子を用いる電圧形PWMインバータ全てに適用することができる。

- 11 -

るので、このことも使用トランジスタの電圧定格の引き下げに寄与することになる。いずれの場合も遅延時間が数 μ sのため、制御性能を損うことなく、インバータスタックの小形化と安価なインバータが実現できる。また、従来通りの使い方を行えば、より信頼性の高いインバータが実現できる。

4. 図面の簡単な説明

第1図はこの発明の実施例を示す回路図、第1A図はこの発明を含む変調回路の構成を示すブロック図、第2図は電圧極性判別回路の具体例を示す回路図、第3図は従来の場合とこの発明の場合のスナバコンデンサ波形の相違を説明するための波形図、第4図はトランジスタインバータの一般的な例を示す主回路構成図、第5図は変調回路の従来例を示すブロック図、第6図はトランジスタ T_1 、 T_5 、 T_6 の各オン信号の例を示す波形図、第7図は第4図で1つのトランジスタがターンオンしたときの各部波形を示す波形図、第8図は第4図でトランジスタ T_1 、 T_5 、 T_6 が同時にオン

[発明の効果]

この発明によれば、通電中の3つのダイオードの斜め方向に対向するアームのトランジスタのオン信号の立上りのタイミングがほぼ同時であつても、3つのトランジスタはある時間差でもつてターンオンする。よつて、スナバ回路に流れ込む電流の最大値は1つのトランジスタがターンオンしたときの最大電流値に抑えることが可能となる。このことによつて、ターンオン時のコレクターエミッタ間のハネ上り電圧4Vの最大値も1つのトランジスタがターンオンしたときと等しくなる。したがつて、従来のインバータに対してその設計時の設定値を変えなければ、スナバコンデンサの容量低減が可能となる。また、スナバ回路を変えなければハネ上り電圧の最大値が抑制されるため、使用トランジスタの電圧定格を下げることも可能となる。また、設定値の選び方によつては、スナバコンデンサの容量低減とトランジスタの電圧定格の引き下げの両方が可能となる。さらに、スナバ回路に流れ込む電流の立上り $\left(\frac{di}{dt}\right)$ も減少す

- 12 -

したときの各部波形を示す波形図である。

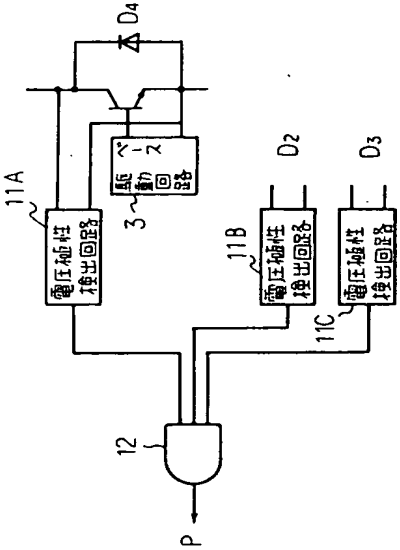
符号説明

1 …… PWM信号発生回路、2 …… フォトカプラ、3 …… ベース駆動回路、4 …… ターンオン制御回路、5A、5B、43 …… オアゲート、6 …… マルチバイブレータ、11A、11B、11C …… 電圧極性検出回路、12 …… アンドゲート、41A、41B …… 立上り検出回路、42A、42B …… 遅延回路。

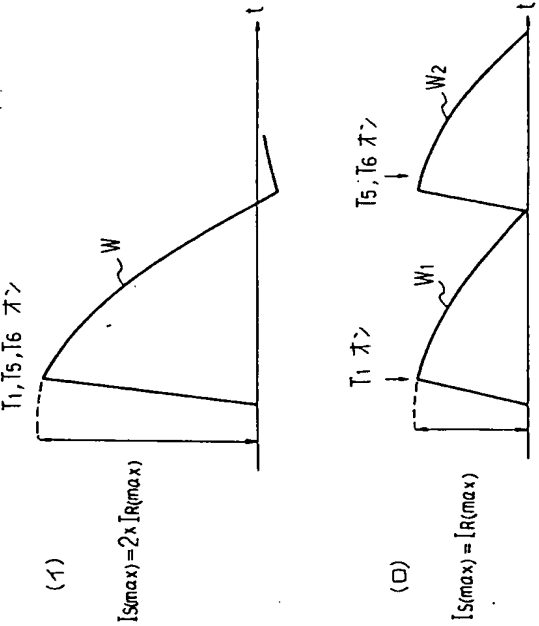
代理人 弁理士 並 木 昭 夫

代理人 弁理士 松 崎 清

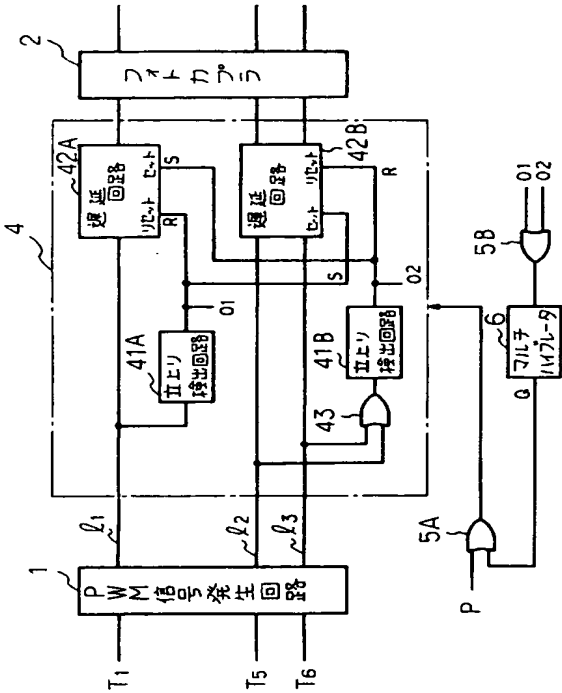
第 2 図



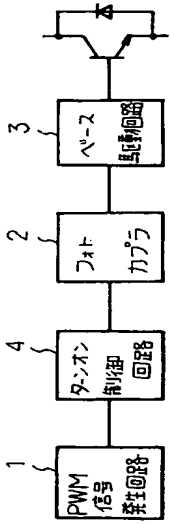
第 3 図



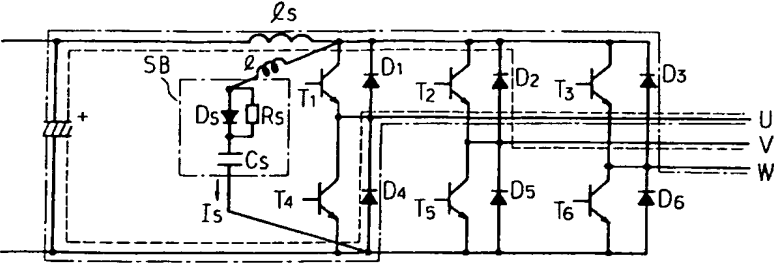
第 1 図



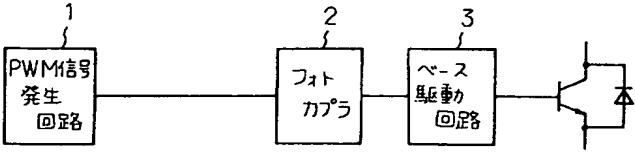
第 1 A 図



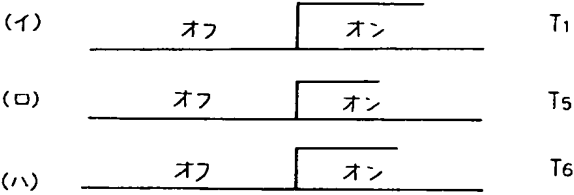
第 4 図



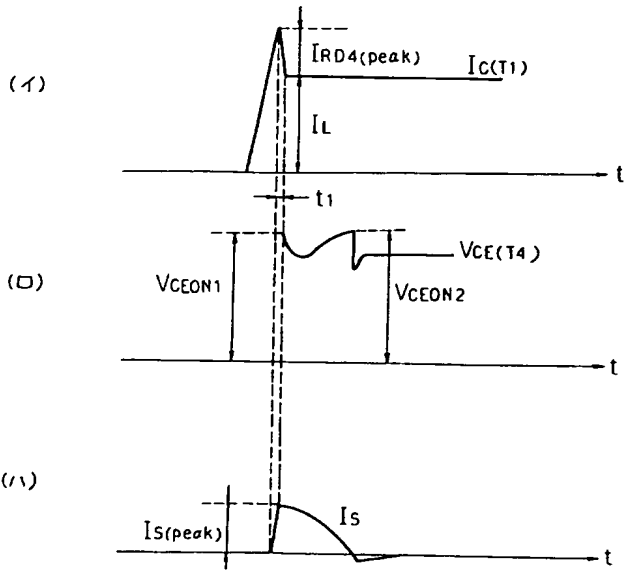
第 5 図



第 6 図



第 7 図



第 8 図

